

PAT-NO: JP409064602A
DOCUMENT-IDENTIFIER: JP 09064602 A
TITLE: TRANSMISSION LINE
PUBN-DATE: March 7, 1997

INVENTOR-INFORMATION:

NAME
AONO, SHINJI
CHAGI, SHIN

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP07214963

APPL-DATE: August 23, 1995

INT-CL (IPC): H01P001/00, H01P003/08 , H01P005/02 , H01P005/08

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a transmission line capable of reducing reflection loss due to a change in the characteristic impedance of an RF/DC microstrip line intersection part.

SOLUTION: On the intersection part between an RF microstrip line 2A and a DC microstrip line 3A formed on the surface of a board 1, the line 3A constitutes a lower line and the line 2A constitutes an air bridge 4 to be an upper line. Consequently reflection loss due to a change in the characteristic impedance of the intersection part can be reduced and the miniaturization and high function of a circuit can be positively attained.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64602

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	1/00		H 0 1 P 1/00	Z
	3/08		3/08	
	5/02		5/02	Z
	5/08		5/08	L

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21) 出願番号 特願平7-214963

(22) 出願日 平成7年(1995)8月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 青野 真司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 茶木 伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 曾我 道照 (外6名)

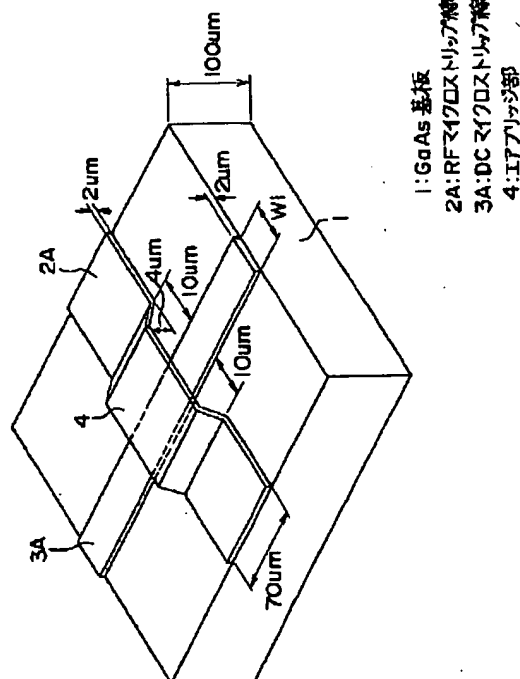
(54) 【発明の名称】 伝送線路

(57) 【要約】

【課題】 RF/DCマイクロストリップ線路交差部での特性インピーダンスの変化による反射損を低減することができる伝送線路を得ることを目的とする。

【解決手段】 基板1の面に設けられたRFマイクロストリップ線路2AとDCマイクロストリップ線路3Aの交差部において、前記DCマイクロストリップ線路3Aを下部線路とし、前記RFマイクロストリップ線路2Aを上部線路であるエアブリッジ4とした。

【効果】 交差部での特性インピーダンスの変化による反射損を低減することが可能となり、積極的な回路の小型化、高機能化が実現できるという効果を奏する。



1

【特許請求の範囲】

【請求項1】 基板面に設けられたRFマイクロストリップ線路とDCマイクロストリップ線路の交差部において、前記DCマイクロストリップ線路を下部線路とし、前記RFマイクロストリップ線路を上部線路であるエアブリッジとする構造を特徴とする伝送線路。

【請求項2】 前記DCマイクロストリップ線路の線路幅と前記RFマイクロストリップ線路の線路幅とを同じにしたことを特徴とする請求項1記載の伝送線路。

【請求項3】 前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅よりも狭くしたことを特徴とする請求項1記載の伝送線路。

【請求項4】 前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅の約半分にしたことを特徴とする請求項3記載の伝送線路。

【請求項5】 前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅の半分以下にしたことを特徴とする請求項3記載の伝送線路。

【請求項6】 前記RFマイクロストリップ線路のエアブリッジ部分の線路幅を前記RFマイクロストリップ線路の基板に接した部分の線路幅よりも狭くしたことを特徴とする請求項1記載の伝送線路。

【請求項7】 前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅とを同じにしたことを特徴とする請求項6記載の伝送線路。

【請求項8】 前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅よりも狭くしたことを特徴とする請求項6記載の伝送線路。

【請求項9】 前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅の約半分にしたことを特徴とする請求項8記載の伝送線路。

【請求項10】 前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅の半分以下にしたことを特徴とする請求項8記載の伝送線路。

【請求項11】 前記RFマイクロストリップ線路のエアブリッジ部分前後にインピーダンス変換部を設けたことを特徴とする請求項6記載の伝送線路。

【請求項12】 前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅とを同じにしたことを特徴とする請求項11記載の伝送線路。

【請求項13】 基板面に設けられた第1のRFマイクロストリップ線路と第2のRFマイクロストリップ線路の交差部において、前記第2のRFマイクロストリップ線路を下部線路とし、前記第1のRFマイクロストリップ線路を上部線路であるエアブリッジとする構造を特徴とする伝送線路。

【請求項14】 前記第1のRFマイクロストリップ線路の線路幅と前記第2のRFマイクロストリップ線路の線路幅とを同じにしたことを特徴とする請求項13記載の伝送線路。

2

【請求項15】 前記第1のRFマイクロストリップ線路の線路幅を前記第2のRFマイクロストリップ線路の線路幅よりも狭くしたことを特徴とする請求項13記載の伝送線路。

【請求項16】 前記第1及び第2のRFマイクロストリップ線路の交差部の線路幅を前記第1及び第2のRFマイクロストリップ線路の基板に接した部分の線路幅よりも狭くしたことを特徴とする請求項14又は15記載の伝送線路。

【請求項17】 前記交差部の前記上部線路及び前記下部線路間に誘電体を挿入したことを特徴とする請求項1又は13記載の伝送線路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マイクロ波帯以上の周波数で用いる平面回路(MMIC)等を使用される伝送線路に関するものである。

【0002】

【従来の技術】従来の伝送線路について図20及び図21を参照しながら説明する。図20は、従来のスイッチ回路の平面を示す図である。また、図21は、図20のRF/DCマイクロストリップ線路交差部を示す斜視図である。

【0003】図20及び図21において、1はGaAs基板、2はRFマイクロストリップ線路、3はDCマイクロストリップ線路、4はエアブリッジ部である。また、5はRF信号入力パッド、6及び7はRF信号出力パッド、8及び9はDC印加用パッド、10及び11はFETゲート電極である。

【0004】DC印加用パッド8、9から電圧を例えば0/-5Vと切替えることで、RF信号入力パッド5から入力されるRF信号をRF信号出力パッド6あるいは7に出力させる。

【0005】回路パターン内でのDC印加用パッド8、9の位置は回路の実装あるいはシステム側から制限されるため、RFマイクロストリップ線路2と、DCマイクロストリップ線路3とを交差させる必要が生じる。

【0006】このRFマイクロストリップ線路2と、DCマイクロストリップ線路3の交差部において、従来は、図21に示すように、DCマイクロストリップ線路3側をエアブリッジとしていた。

【0007】

【発明が解決しようとする課題】上述したような従来の伝送線路では、RF/DCマイクロストリップ線路交差部での特性インピーダンスの変化による反射損が大きいという問題点があった。

【0008】この発明は、前述した問題点を解決するためになされたもので、RF/DC、RF/RFマイクロストリップ線路交差部での特性インピーダンスの変化による反射損を低減することができる伝送線路を得ること

を目的とする。

【0009】

【課題を解決するための手段】この発明に係る伝送線路は、基板面に設けられたRFマイクロストリップ線路とDCマイクロストリップ線路の交差部において、前記DCマイクロストリップ線路を下部線路とし、前記RFマイクロストリップ線路を上部線路であるエアブリッジとしたものである。

【0010】また、この発明に係る伝送線路は、前記DCマイクロストリップ線路の線路幅と前記RFマイクロストリップ線路の線路幅とを同じにしたものである。

【0011】また、この発明に係る伝送線路は、前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅よりも狭くしたものである。

【0012】また、この発明に係る伝送線路は、前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅の約半分にしたものである。

【0013】また、この発明に係る伝送線路は、前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅の半分以下にしたものである。

【0014】また、この発明に係る伝送線路は、前記RFマイクロストリップ線路のエアブリッジ部分の線路幅を前記RFマイクロストリップ線路の基板に接した部分の線路幅よりも狭くしたものである。

【0015】また、この発明に係る伝送線路は、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅と同じにしたものである。

【0016】また、この発明に係る伝送線路は、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅よりも狭くしたものである。

【0017】また、この発明に係る伝送線路は、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅の約半分にしたものである。

【0018】また、この発明に係る伝送線路は、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅の半分以下にしたものである。

【0019】また、この発明に係る伝送線路は、前記RFマイクロストリップ線路のエアブリッジ部分前後にインピーダンス変換部を設けたものである。

【0020】また、この発明に係る伝送線路は、前記エアブリッジ部分前後にインピーダンス変換部を設け、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅と同じにしたものである。

【0021】また、この発明に係る伝送線路は、基板面に設けられた第1のRFマイクロストリップ線路と第2のRFマイクロストリップ線路の交差部において、前記第2のRFマイクロストリップ線路を下部線路とし、前記第1のRFマイクロストリップ線路を上部線路であるエアブリッジとしたものである。

【0022】また、この発明に係る伝送線路は、前記第

1のRFマイクロストリップ線路の線路幅と前記第2のRFマイクロストリップ線路の線路幅とを同じにしたものである。

【0023】また、この発明に係る伝送線路は、前記第1のRFマイクロストリップ線路の線路幅を前記第2のRFマイクロストリップ線路の線路幅よりも狭くしたものである。

【0024】また、この発明に係る伝送線路は、前記第1及び第2のRFマイクロストリップ線路の交差部の線路幅を前記第1及び第2のRFマイクロストリップ線路の基板に接した部分の線路幅よりも狭くしたものである。

【0025】さらに、この発明に係る伝送線路は、前記交差部の前記上部線路及び前記下部線路間に誘電体を挿入したものである。

【0026】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1について図1から図7までを参照しながら説明する。図1は、この実施の形態1のRF/DCマイクロストリップ線路交差部を示す斜視図である。また、図2及び図3は、この実施の形態1及び従来例のエアブリッジ部分の断面とそれぞれの電磁界解析に用いた線路モデルを示す図である。さらに、図4から図7までは、この実施の形態1の電磁界解析の計算結果であって、RF信号の通過損失を示す図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0027】図1において、1は基板厚が $100\mu\text{m}$ のGaAs基板、2AはAu等からなり膜厚が $2\mu\text{m}$ 、線路幅が $70\mu\text{m}$ のRFマイクロストリップ線路、3AはAu等からなり膜厚が $2\mu\text{m}$ 、線路幅が $w1 (=70, 40, 20, 10\mu\text{m})$ のDCマイクロストリップ線路、4は高さが $4\mu\text{m}$ のエアブリッジ部である。

【0028】なお、上記エアブリッジ部4の高さは、DCマイクロストリップ線路3Aの表(上)面からRFマイクロストリップ線路2Aの下面までの距離である。また、ストリップ線路はTEM波を伝送させることができるのに対して、このマイクロストリップ線路は進行方向にも電磁界分布を持った混成波を伝送させることができる。さらに、この実施の形態1は、下側に接地導体をもつグラウンデッドコプレーナ線路(GCPW: Grounded Co-Planar Waveguide)に関するものである。下側に接地導体をもたないコプレーナ線路に較べて、このグラウンデッドコプレーナ線路はその電界が下側の接地導体に向けて走っている割合が高い。その割合はグラウンデッドコプレーナ線路の基板厚に依存する。

【0029】図1に示すように、RFマイクロストリップ線路2A側をエアブリッジとすることにより、RF/DCマイクロストリップ線路交差部での特性インピー

50 ンスの変化を最小とすることが可能となる。

【0030】図2及び図3において、それぞれの(a)は交差部の断面、(b)はその線路モデルを示し、12は空気、13はシールド導体を示す。

【0031】図4から図7までにおいて、横軸は周波数(GHz)、縦軸はRF信号の通過損失(Sパラメータ: $|S_{21}|$) ($\text{dB}10:10 \log_{10}(\text{mag}(S_{21}))$)である。

【0032】RF/DCマイクロストリップ線路交差部について電磁界解析を行い、その計算(シミュレーション)結果を図4～図7に示す。この実施の形態1のシミュレーションについては、図2(a)に示す実施の形態1のエアブリッジ部分の断面に対応させて、同図(b)に示す線路モデルに基づいて行った。同様に、従来例のシミュレーションについては、図3(a)に示す従来例のエアブリッジ部分の断面に対応させて、同図(b)に示す線路モデルに基づいて行った。

【0033】図4～図7のグラフには、RFマイクロストリップ線路2Aをエアブリッジとした実施の形態1を*印で、RFマイクロストリップ線路2を下部線路とした従来例を○印でプロットしたものを示す。なお、従来のRFマイクロストリップ線路2は、線路長が $130\mu\text{m}$ 、線路幅が $70\mu\text{m}$ の場合の計算例である。また、略直線状にプロットされているものは、線路長が $130\mu\text{m}$ 、線路幅が $70\mu\text{m}$ であって、交差なしの通常のマイクロストリップスルー線路の通過損失を表わす。

【0034】図4は、RFマイクロストリップ線路2Aの線路幅が $70\mu\text{m}$ 、DCマイクロストリップ線路3Aの線路幅 w_1 が $70\mu\text{m}$ の場合のRF信号の通過損失を表す。また、図5は、RFマイクロストリップ線路2Aの線路幅が $70\mu\text{m}$ 、DCマイクロストリップ線路3Aの線路幅 w_1 が $40\mu\text{m}$ の場合を表す。また、図6は、RFマイクロストリップ線路2Aの線路幅が $70\mu\text{m}$ 、DCマイクロストリップ線路3Aの線路幅 w_1 が $20\mu\text{m}$ の場合を表す。さらに、図7は、RFマイクロストリップ線路2Aの線路幅が $70\mu\text{m}$ 、DCマイクロストリップ線路3Aの線路幅 w_1 が $10\mu\text{m}$ の場合を表す。なお、RFマイクロストリップ線路2A及びDCマイクロストリップ線路3Aの線路長は $130\mu\text{m}$ の場合である。

【0035】これらの図より、従来のRFマイクロストリップ線路2が下部線路となる場合(○印)よりも、この実施の形態1によるRFマイクロストリップ線路2Aがエアブリッジとなる場合(×印)の方が低損失となることがわかる。

【0036】RFマイクロストリップ線路の特性インピーダンスは下記の式1によって表される。なお、式1において、 Z_0 は特性インピーダンス、 L は単位長さ当たりのインダクタンス、 C は単位長さ当たりの線路導体とグラウンド導体間のキャパシタンスである。

【0037】 $Z_0 = \sqrt{L/C}$ …… 式1

【0038】交差のあるRFマイクロストリップ線路の場合は、単なるマイクロストリップスルー線路の場合と比較して、式1のキャパシタンス C が大きくなるため、特性インピーダンスは小さくなる。また、解析の結果、キャパシタンス C の増加の程度が、図2及び図3に示すように、従来例よりもこの実施の形態1の方が小さいため、低損失となることが明らかとなった。

【0039】以上のように、この実施の形態1によればRF/DCマイクロストリップ線路交差部での特性インピーダンスの変化による反射損(通過損失)を低減することが可能となり、積極的な回路の小型化、高機能化が実現できる。

【0040】実施の形態2. この発明の実施の形態2について図8から図10までを参照しながら説明する。図8は、この実施の形態2のRF/DCマイクロストリップ線路交差部を示す斜視図である。さらに、図9及び図10は、この実施の形態2の電磁界解析の計算結果であって、RF信号の通過損失を示す図である。

【0041】図8において、1はGaAs基板、2BはRFマイクロストリップ線路、3AはDCマイクロストリップ線路、4はエアブリッジ部である。なお、RFマイクロストリップ線路2Bのエアブリッジ部4の線路幅 w_2 は、GaAs基板1に接した線路部分の線路幅よりも狭くなっている。また、基本的な構造、材質等は上記実施の形態1と同様であり、各部の寸法は図8に示すとおりである。

【0042】図9及び図10において、横軸は周波数(GHz)、縦軸はRF信号の通過損失(Sパラメータ: $|S_{21}|$) ($\text{dB}20:20 \log_{10}(\text{mag}(S_{21}))$)、 $\text{dB}10:10 \log_{10}(\text{mag}(S_{21}))$)である。なお、RF/DCマイクロストリップ線路交差部についての電磁界解析(シミュレーション)は上記実施の形態1と同様である。

【0043】図9及び図10のグラフには、RFマイクロストリップ線路2Bのエアブリッジ部4の線路幅 w_2 が $70\mu\text{m}$ の場合を○印で、線路幅 w_2 が $40\mu\text{m}$ の場合を×印で、線路幅 w_2 が $20\mu\text{m}$ の場合を*印でプロットしたものを示す。なお、図9及び図10は縦軸のスケールが相違するだけである。また、略直線状にプロットされているものは、交差なしの通常のマイクロストリップスルー線路の通過損失を表わす。

【0044】上記実施の形態1で、線路交差部における損失の増大は、式1のキャパシタンス C の増大による特性インピーダンスの変化に帰因することを示した。そこで、RFマイクロストリップ線路2Bのエアブリッジ部4の特性インピーダンスをGaAs基板1に接した線路部分の特性インピーダンスと一致させるために、この実施の形態2のエアブリッジ部4の線路幅 w_2 は、GaAs基板1に接した線路部分の線路幅よりも狭くなってい

7

【0045】このようにすることで、図9及び図10に示すように、交差部でのキャパシタンスCの増大を最小とし、一方で式1のインダクタンスLを増加させ、特性インピーダンスの変化を抑制することができ、交差部での損失を低減できる。

【0046】実施の形態3. この発明の実施の形態3について図11から図13までを参照しながら説明する。図11は、この実施の形態3のRF/DCマイクロストリップ線路交差部を示す斜視図である。さらに、図12及び図13は、この実施の形態3の電磁界解析の計算結果であって、RF信号の通過損失を示す図である。

【0047】図11において、1はGaAs基板、2CはRFマイクロストリップ線路、3AはDCマイクロストリップ線路、4はエアブリッジ部である。なお、RFマイクロストリップ線路2Cのエアブリッジ部4の前後にインピーダンス変換部14を設け、交差部での反射の影響を低減している。また、基本的な構造、材質等は上記実施の形態1と同様であり、各部の寸法は図11に示すとおりである。

【0048】図12及び図13において、横軸は周波数 (GHZ)、縦軸はRF信号の通過損失 (Sパラメータ: $|S_{21}|$) ($\text{dB}20: 20 \log_{10} (\text{mag} (S_{21}))$ 、 $\text{dB}10: 10 \log_{10} (\text{mag} (S_{21}))$) である。なお、RF/DCマイクロストリップ線路交差部についての電磁界解析 (シミュレーション) は上記実施の形態1と同様である。

【0049】図12及び図13のグラフには、RFマイクロストリップ線路2Cのエアブリッジ部4の高さhが2 μm の場合を○印で、高さhが15 μm の場合を×印でプロットしたものを示す。なお、図12及び図13は縦軸のスケールが相違するだけである。また、略直線状にプロットされているものは、交差なしの通常のマイクロストリップスルー線路の通過損失を表わす。

【0050】RFマイクロストリップ線路2Cのエアブリッジ部4の特性インピーダンスと、GaAs基板1に接した線路部分の特性インピーダンスの違いによるエアブリッジ部4での反射を打ち消すため、エアブリッジ部4前後の線路幅を調整するように、インピーダンス変換部14を設け、交差部での反射の影響を低減できる。

【0051】実施の形態4. この発明の実施の形態4について図14から図18までを参照しながら説明する。図14は、この実施の形態4のRF/RFマイクロストリップ線路交差部を示す斜視図である。さらに、図15から図18までは、この実施の形態4の電磁界解析の計算結果であって、RF信号の通過損失を示す図である。

【0052】図14において、1はGaAs基板、2B及び2DはRFマイクロストリップ線路、4はエアブリッジ部である。なお、RF/RFマイクロストリップ線路交差部において、両方の線路幅が狭くなっている。また、基本的な構造、材質等は上記実施の形態1と同様で

8

あり、各部の寸法は図14に示すとおりである。

【0053】図15から図18までにおいて、横軸は周波数 (GHZ)、縦軸はRF信号の通過損失 (Sパラメータ: $|S_{21}|$) ($\text{dB}20: 20 \log_{10} (\text{mag} (S_{21}))$ 、 $\text{dB}10: 10 \log_{10} (\text{mag} (S_{21}))$) である。なお、RF/RFマイクロストリップ線路交差部についての電磁界解析 (シミュレーション) は上記実施の形態1と同様である。

【0054】図15～図18のグラフには、RFマイクロストリップ線路2Bのエアブリッジ部4の前後の線路幅の変化がステップ状 (例えば、エアブリッジ部4の線路幅w4 (=5、20 μm) からその前後の線路幅が70 μm へ変化した場合) の場合を○印で、線路幅の変化がテーパ状 (例えば、エアブリッジ部4の線路幅w4 (=5、20 μm) からその前後の線路幅が30→50→70 μm へ15 μm 線路長毎に変化した場合) の場合を×印でプロットしたものを示す。なお、略直線状にプロットされているものは、交差なしの通常のマイクロストリップスルー線路の通過損失を表わす。

【0055】図15及び図16は、RFマイクロストリップ線路2Bのエアブリッジ部4の線路幅が5 μm の場合のRF信号の通過損失を表す。なお、図15及び図16は縦軸のスケールが相違するだけである。また、図17及び図18は、RFマイクロストリップ線路2Bのエアブリッジ部4の線路幅が20 μm の場合のRF信号の通過損失を表す。なお、図17及び図18は縦軸のスケールが相違するだけである。これらの図からわかるように、エアブリッジ部4の線路幅が5 μm の場合には、ステップ接続よりもテーパ接続の方が損失が少なくなっている。また、エアブリッジ部4の線路幅が20 μm の場合には、ステップ接続もテーパ接続もあまり変わらない。

【0056】RF/RFマイクロストリップ線路交差部において、両RFマイクロストリップ線路2B、2Dの特性インピーダンスの変化を最小化あるいは補償するために、エアブリッジ部4とその下部線路共に交差しない部分の線路幅よりも狭くした構造は、上記実施の形態1で述べた式1のキャパシタンスCの増大を小さくするための構造である。

【0057】以上のように、この実施の形態4によれば、上記各実施の形態と同様に、交差部での特性インピーダンスの変化による反射損 (通過損失) を低減することが可能となり、積極的な回路の小型化、高機能化が実現できる。

【0058】実施の形態5. この発明の実施の形態5について図19を参照しながら説明する。図19は、この実施の形態5のRF/DC、RF/RFマイクロストリップ線路交差部を示す斜視図である。

【0059】図19において、1はGaAs基板、2AはRFマイクロストリップ線路、3BはDCマイクロストリップ線路、2EはRFマイクロストリップ線路、4

はエアブリッジ部、15は誘電体材料である。なお、基本的な構造、材質等は上記実施の形態1と同様である。

【0060】この実施の形態5は、交差部で発生する容量を回路要素として積極的に利用するための構造で、交差部での両線路間に誘電体材料15を充填したものである。なお、交差部面積を適当に調整することができる。

【0061】

【発明の効果】この発明に係る伝送線路は、以上説明したとおり、基板面に設けられたRFマイクロストリップ線路とDCマイクロストリップ線路の交差部において、前記DCマイクロストリップ線路を下部線路とし、前記RFマイクロストリップ線路を上部線路であるエアブリッジとしたので、交差部での特性インピーダンスの変化による反射損を低減することが可能となり、積極的な回路の小型化、高機能化が実現できるという効果を奏する。

【0062】また、この発明に係る伝送線路は、以上説明したとおり、前記DCマイクロストリップ線路の線路幅と前記RFマイクロストリップ線路の線路幅とを同じにしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0063】また、この発明に係る伝送線路は、以上説明したとおり、前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅よりも狭くしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0064】また、この発明に係る伝送線路は、以上説明したとおり、前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅の約半分にしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0065】また、この発明に係る伝送線路は、以上説明したとおり、前記DCマイクロストリップ線路の線路幅を前記RFマイクロストリップ線路の線路幅の半分以下にしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0066】また、この発明に係る伝送線路は、以上説明したとおり、前記RFマイクロストリップ線路のエアブリッジ部分の線路幅を前記RFマイクロストリップ線路の基板に接した部分の線路幅よりも狭くしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0067】また、この発明に係る伝送線路は、以上説明したとおり、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅と同じにしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0068】また、この発明に係る伝送線路は、以上説明したとおり、前記エアブリッジ部分の線路幅を前記D

Cマイクロストリップ線路の線路幅よりも狭くしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0069】また、この発明に係る伝送線路は、以上説明したとおり、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅の約半分にしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0070】また、この発明に係る伝送線路は、以上説明したとおり、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅の半分以下にしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0071】また、この発明に係る伝送線路は、以上説明したとおり、前記RFマイクロストリップ線路のエアブリッジ部分前後にインピーダンス変換部を設けたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0072】また、この発明に係る伝送線路は、以上説明したとおり、前記エアブリッジ部分前後にインピーダンス変換部を設け、前記エアブリッジ部分の線路幅を前記DCマイクロストリップ線路の線路幅と同じにしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0073】また、この発明に係る伝送線路は、以上説明したとおり、基板面に設けられた第1のRFマイクロストリップ線路と第2のRFマイクロストリップ線路の交差部において、前記第2のRFマイクロストリップ線路を下部線路とし、前記第1のRFマイクロストリップ線路を上部線路であるエアブリッジとしたので、交差部での特性インピーダンスの変化による反射損を低減することが可能となり、積極的な回路の小型化、高機能化が実現できるという効果を奏する。

【0074】また、この発明に係る伝送線路は、以上説明したとおり、前記第1のRFマイクロストリップ線路の線路幅と前記第2のRFマイクロストリップ線路の線路幅とを同じにしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0075】また、この発明に係る伝送線路は、以上説明したとおり、前記第1のRFマイクロストリップ線路の線路幅を前記第2のRFマイクロストリップ線路の線路幅よりも狭くしたので、交差部での特性インピーダンスの変化による反射損を低減することができるという効果を奏する。

【0076】また、この発明に係る伝送線路は、以上説明したとおり、前記第1及び第2のRFマイクロストリップ線路の交差部の線路幅を前記第1及び第2のRFマイクロストリップ線路の基板に接した部分の線路幅よりも狭くしたので、交差部での特性インピーダンスの変化

11

による反射損を低減することができるという効果を奏する。

【0077】さらに、この発明に係る伝送線路は、以上説明したとおり、前記交差部の前記上部線路及び前記下部線路間に誘電体を挿入したので、交差部で発生する容量を回路要素として利用することができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係るRF/DC線路交差部を示す斜視図である。

【図2】 この発明の実施の形態1に係るエアブリッジ部分の断面とその電磁界解析に用いた線路モデルを示す図である。

【図3】 従来例に係るエアブリッジ部分の断面とその電磁界解析に用いた線路モデルを示す図である。

【図4】 この発明の実施の形態1のRF信号の通過損失を示す図である。

【図5】 この発明の実施の形態1のRF信号の通過損失を示す図である。

【図6】 この発明の実施の形態1のRF信号の通過損失を示す図である。

【図7】 この発明の実施の形態1のRF信号の通過損失を示す図である。

【図8】 この発明の実施の形態2に係るRF/DC線路交差部を示す斜視図である。

【図9】 この発明の実施の形態2のRF信号の通過損失を示す図である。

12

【図10】 この発明の実施の形態2のRF信号の通過損失を示す図である。

【図11】 この発明の実施の形態3に係るRF/DC線路交差部を示す斜視図である。

【図12】 この発明の実施の形態3のRF信号の通過損失を示す図である。

【図13】 この発明の実施の形態3のRF信号の通過損失を示す図である。

【図14】 この発明の実施の形態4に係るRF/RF線路交差部を示す斜視図である。

【図15】 この発明の実施の形態4のRF信号の通過損失を示す図である。

【図16】 この発明の実施の形態4のRF信号の通過損失を示す図である。

【図17】 この発明の実施の形態4のRF信号の通過損失を示す図である。

【図18】 この発明の実施の形態4のRF信号の通過損失を示す図である。

【図19】 この発明の実施の形態5に係るRF/DC、RF/RF線路交差部を示す斜視図である。

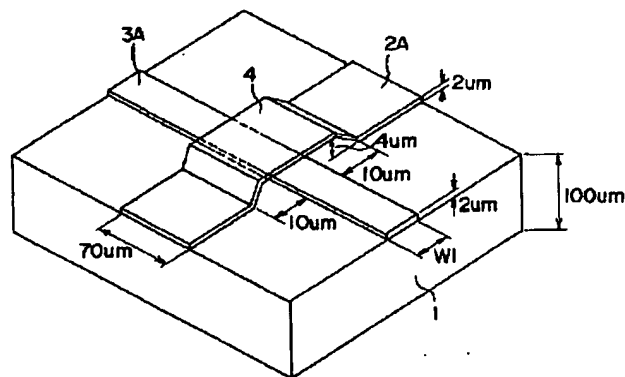
【図20】 従来のスイッチ回路を示す平面図である。

【図21】 図20の線路交差部を示す斜視図である。

【符号の説明】

1 GaAs基板、2A、2B、2C、2D、2E RFマイクロストリップ線路、3A、3B DCマイクロストリップ線路、4 エアブリッジ部、15 誘電体材料。

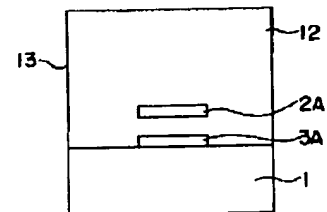
【図1】



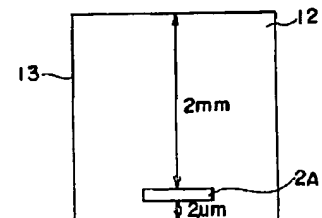
1:GaAs基板
2A:RFマイクロストリップ線路
3A:DCマイクロストリップ線路
4:エアブリッジ部

【図2】

(a)

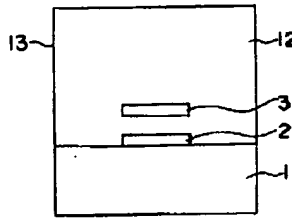


(b)

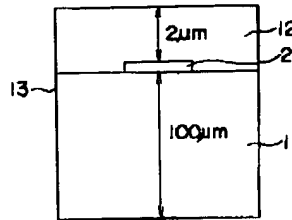


【図3】

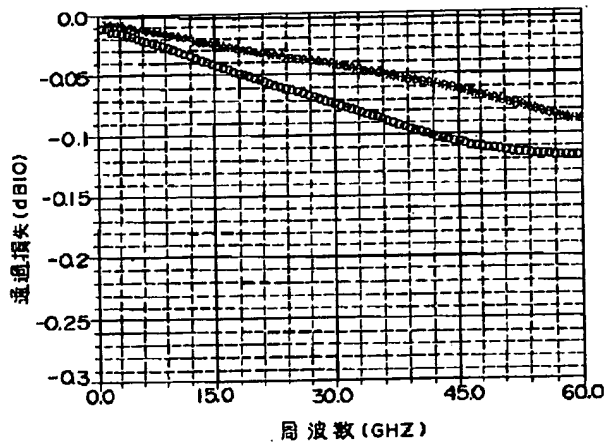
(a)



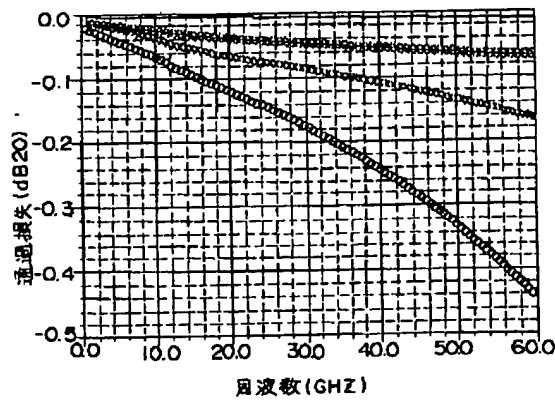
(b)



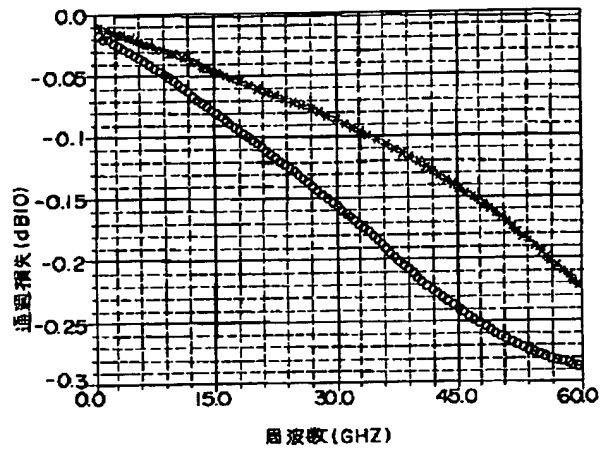
【図5】



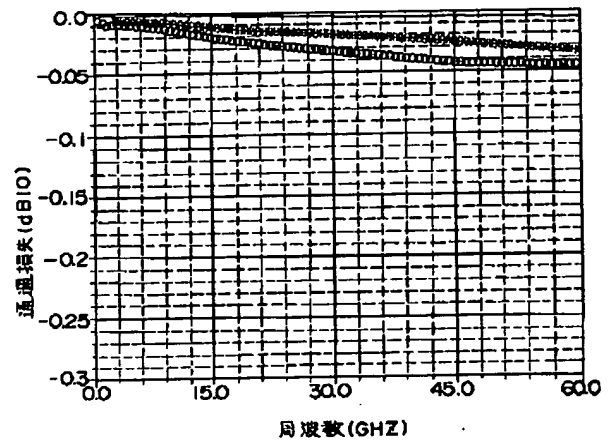
【図9】



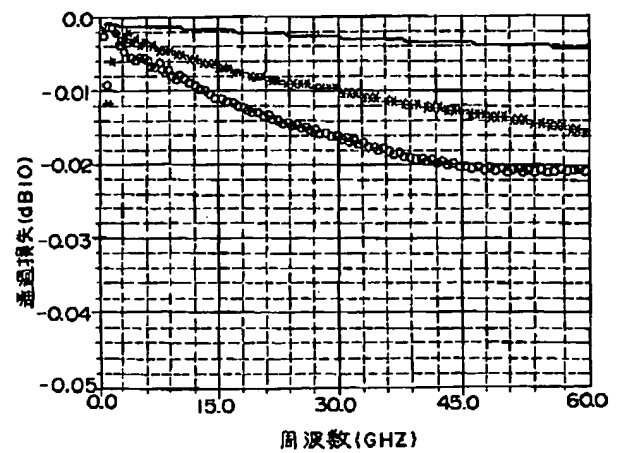
【図4】



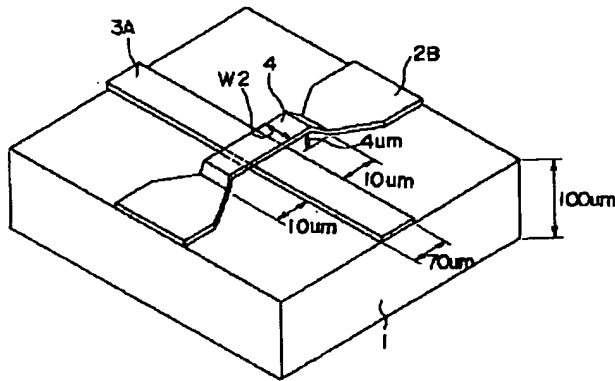
【図6】



【図7】

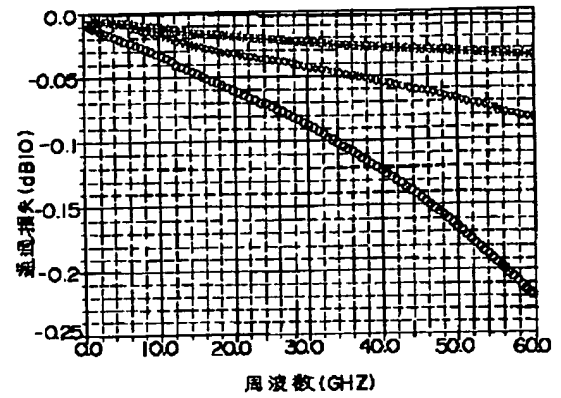


【図8】

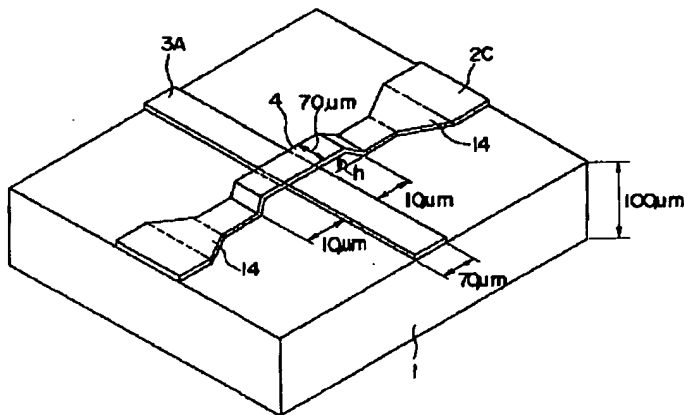


2B:RFマイクロストリップ線路

【図10】

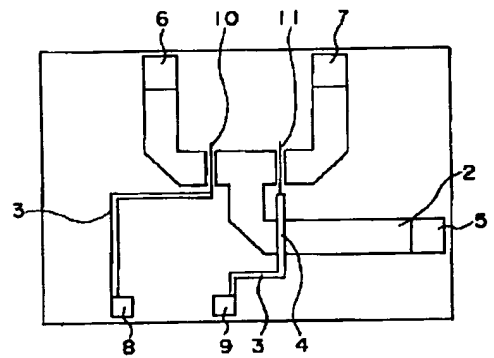


【図11】

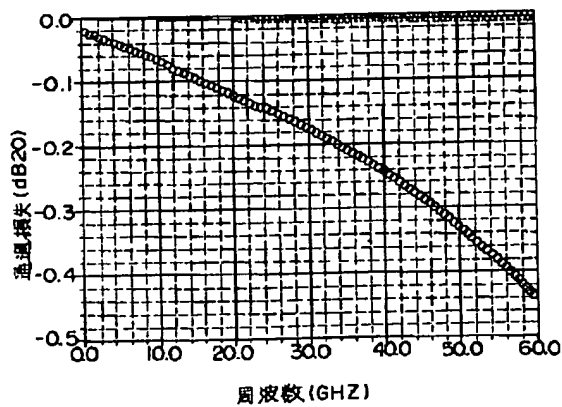


2C:RFマイクロストリップ線路

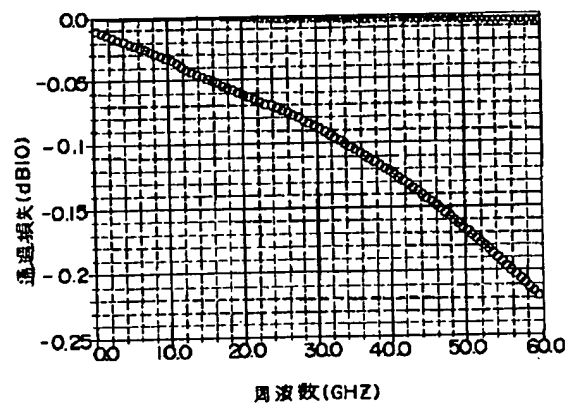
【図20】



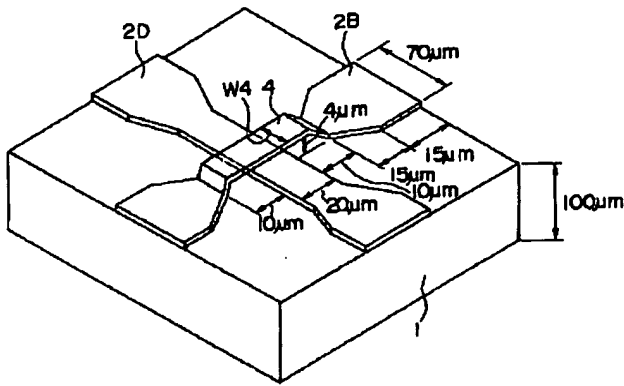
【図12】



【図13】

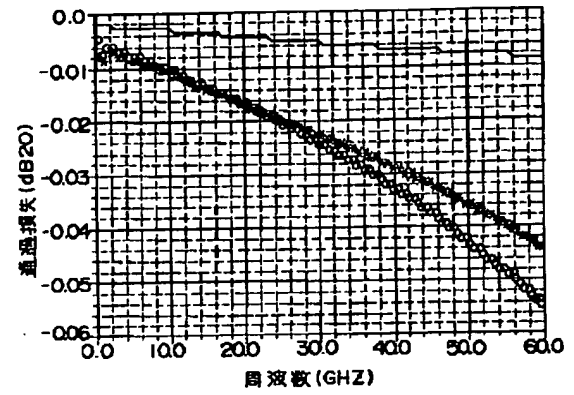


【図14】

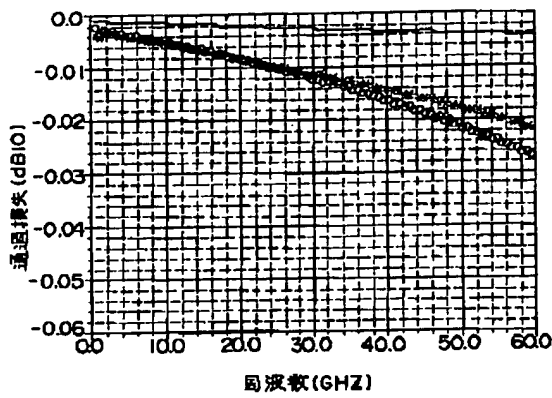


2D: RFマイクロストリップ線路

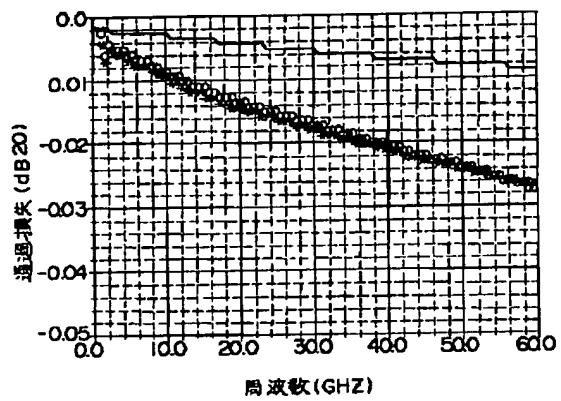
【図15】



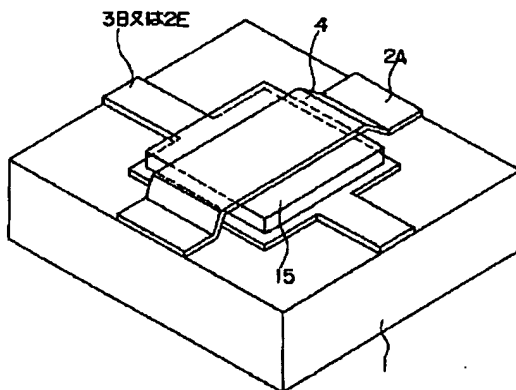
【図16】



【図17】

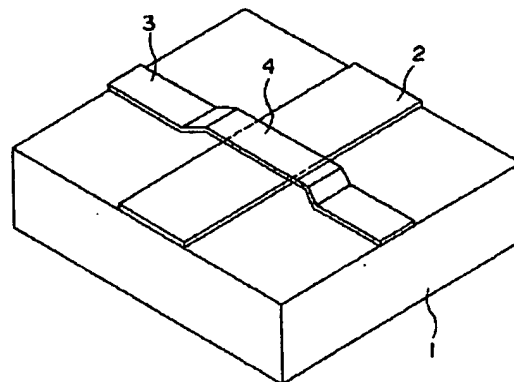


【図19】



15: 誘電体材料

【図21】



(11)

特開平9-64602

【図18】

